**7.3 EMIF**

**7.3.1 Введение**

**7.3.1.1 Особенности**

Общие характеристики модуля EMIF следующие:

- 16-разрядный канал передачи данных во внешнюю память SDRAM

- Один 128-битный интерфейс OCPIP 2.2

- Поддержка следующих типов памяти:

- mDDR (LPDDR1)

- DDR2

- DDR3

Поддерживаются конфигурации внешней памяти:

- Емкость устройства памяти

- Адресация до 1 Гбайт

- Гибкие схемы мультиплексирования адресов банк/ряд/столбец/чип-селект

- Поддерживается функция усиления драйверов устройств для мобильной DDR

- Поддержка следующих задержек CAS:

- DDR2 => 2, 3, 4, 5, 6 и 7

- DDR3 => 5, 6, 7, 8, 9, 10 и 11

- mDDR => 2, 3 и 4

- Поддерживает следующее количество внутренних банков:

- DDR2 => 1, 2, 4 и 8

- DDR3 => 1, 2, 4 и 8

- mDDR => 1, 2 и 4

- Поддерживаются страницы размером 256, 512, 1024 и 2048 слов

- Поддерживает длину серии 8 (последовательная серия)

- Выравнивание/калибровка записи/чтения и обучение глазкам данных в сочетании с DID

- Режимы Self Refresh и Power-Down для низкого энергопотребления:

- Гибкое сопоставление адресов OCP и DDR для поддержки частичного самообновления массива в LPDDR1, DDR2 и DDR3.

- Самообновление с контролем температуры для LPDDR1 и DDR3 с датчиком температуры на кристалле.

- Периодическая калибровка ZQ для DDR3

- ODT на DDR2 и DDR3

- Приоритетное планирование обновлений

- Программируемая частота обновления SDRAM и счетчик отставания

- Программируемые временные параметры SDRAM

- Режимы Big и Little Endian

**7.3.1.2 Неподдерживаемые функции EMIF**

Следующие функции модуля EMIF4DC не поддерживаются в данном устройстве.

**Таблица 7-204. Неподдерживаемые функции EMIF**

|  |  |
| --- | --- |
| **Feature** | **Reason** |
| 32-bit data | Только 16 бит, выведенных наружу |
| Multiple DDR banks | Только 1 CS/ODT подключен |
| DDR2 CAS Latency 2 | Не поддерживается DID |
| Hardware leveling | Кремниевая ошибка. Необходимо использовать процедуру программного выравнивания. См. AM335x  Микропроцессоры ARM Cortex-A8 (MPU) Silicon Errata  (литературный номер SPRZ360). |

**7.3.2 Интеграция**

**7.3.2.1 Атрибуты подключения EMIF**

Общие атрибуты подключения для EMIF приведены в таблице 7-205.

**Таблица 7-205. Атрибуты подключаемости EMIF**

|  |  |
| --- | --- |
| **Attributes** | **Type** |
| Power Domain | Peripheral Domain |
| Clock Domain | PD\_PER\_L3\_GCLK (OCP)  PD\_PER\_EMIF\_GCLK (Func) |
| Reset Signals | POR\_N |
| Idle/Wakeup Signals | Smart Idle |
| Interrupt Requests | 1 interrupt to MPU Subsystem (DDRERR0) |
| DMA Requests | None |
| Physical Address | L3 Fast Slave Port |

**7.3.2.2 Управление тактовым генератором EMIF**

Интерфейс EMIF4 OCP (ocp\_clk) тактируется тактовым генератором L3 Fast, поступающим от Core PLL. Макросы DDR команд и данных DDR получают тактовую частоту от DDR PLL. PRCM делит этот тактовый сигнал на два, чтобы создатьфункциональный тактовый генератор EMIF (m\_clk).

OCP и функциональное тактирование могут быть асинхронными, поскольку синхронизация управляется во внутреннем FIFO EMIF4 внутреннего FIFO (EMIF4 установлен в асинхронный режим).

**Таблица 7-206. Тактовые сигналы EMIF**

|  |  |  |  |
| --- | --- | --- | --- |
| **Clock Signal** | **Maximum Frequency** | **Reference Source** | **Comments** |
| ocp\_clk  (Interface clock) | 200 MHz | CORE\_CLKOUTM4 | pd\_per\_l3\_gclk  From PRCM |
| ocp\_clk  (Interface clock) | 200 MHz(1) | DDR PLL CLKOUT / 2 | pd\_per\_emif\_gclk  From PRCM |
| cmd0\_dfi\_clk  cmd1\_dfi\_clk  cmd2\_dfi\_clk  data0\_dfi\_clk  data1\_dfi\_clk  (Macro clocks) | 400 MHz(1) | DDR PLL CLKOUT | clkout\_po  From DDR PLL |

(1) Максимальная частота зависит от типа DDR. Максимальную частоту DDR для вашего устройства можно узнать в процессоров AM335x Sitara (литературный номер SPRS717).

**7.3.2.3 Список выводов EMIF**

Сигналы внешнего интерфейса EMIF/DDR приведены в таблице 7-207.

**Таблица 7-207. Список выводов EMIF**

|  |  |  |
| --- | --- | --- |
| **Pin** | **Type** | **Description** |
| DDR\_CK  DDR\_NCK | O | Differential clock pair |
| DDR\_CKE | O | Clock enable |
| DDR\_CSn0 | O | Chip select |
| DDR\_RASn | O | Row address strobe |
| DDR\_CASn | O | Column address strobe |
| DDR\_WEn | O | Write enable |
| DDR\_BA[2:0] | O | Bank address |
| DDR\_A[15:0] | O | Row/column address |
| DDR\_DQS[1:0] | I/O | Data strobes |
| DDR\_DQSn[1:0] | I/O | Complimentary data strobes |
| DDR\_DQM[1:0] | O | Data masks |
| DDR\_D[15:0] | I/O | Data |
| DDR\_ODT | O | On-die termination |
| DDR\_RESETn | O | DDR device reset |
| DDR\_VREF | I | I/O Voltage reference |
| DDR\_VTP | I | VTP compensation pin |

**7.3.3 Функциональное описание**

**7.3.3.1 Описания сигналов**

Сигналы контроллера памяти DDR2/3/mDDR показаны на рисунке 7-201 и описаны в таблице 7-208.

Они включают следующие характеристики:

- Максимальная ширина шины данных (DDR\_D[15:0]) составляет 16 бит.

- Шина адреса (DDR\_A[15:0]) имеет ширину 16 бит с дополнительными 3 контактами адреса банка (DDR\_BA[2:0]).

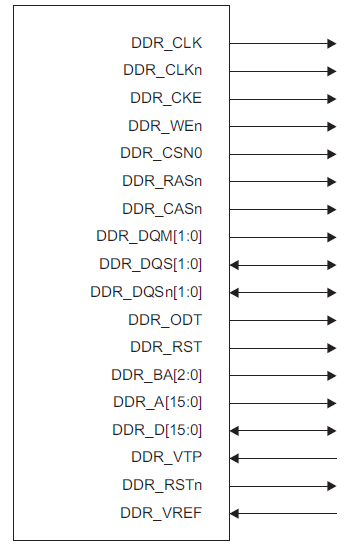
- Два дифференциальных выходных тактовых генератора (DDR\_CK и DDR\_nCK), управляемых внутренними источниками тактовой частоты

- Командные сигналы: стробирование адреса строки и столбца (DDR\_RASn и DDR\_CASn), строб разрешения записи (DDR\_WEn), строб данных (DDR\_DQS[1:0] и DDR\_DQSn[1:0]) и маска данных (DDR\_DQM[1:0]).

- Один сигнал выбора микросхемы (DDR\_CSN0) и один сигнал разрешения тактового генератора (DDR\_CKE).

- Один выходной сигнал завершения работы устройства (DDR\_ODT).

**Рисунок 7-201. Сигналы контроллера памяти DDR2/3/mDDR**



**Таблица 7-208. Описания сигналов контроллера памяти DDR2/3/mDDR**

|  |  |
| --- | --- |
| **Pin** | **Description** |
| DDR\_D[15:0] | Двунаправленная шина данных. Вход для чтения данных и выход для записи данных. |
| DDR\_A[15:0] | Выход внешнего адреса. |
| DDR\_CSN0 | Выход сhip select. |
| DDR\_DQM[1:0] | Активно-низкий выход маски данных. |
| DDR\_CLK/DDR\_CLKn | Дифференциальные выходы тактового генератора. Все сигналы интерфейсов DDR2/3/mDDR синхронизированы с этими выходами. |
| DDR\_CKE | Разрешение тактового генератора. Используется для выбора операций Power-Down и Self-Refresh. |
| DDR\_CASn | Активно-низкий стробирующий сигнал адреса столбца. |
| DDR\_RASn | Активно-низкий стробирующий сигнал адреса строки. |
| DDR\_WEn | Разрешение записи с активным нижним уровнем. |
| DDR\_DQS[1:0]/DDR\_DQSn[1:  0] | Дифференциальные двунаправленные сигналы стробирования данных. Входы выровнены по краям при чтении и выровнены по центру выходы при записи. |
| DDR\_ODT | Сигнал завершения работы с внешней памятью DDR2/3 SDRAM. ODT не поддерживается для mDDR. |
| DDR\_BA[2:0] | Выходы управления адресами банка-памяти. |
| DDR\_VREF | Опорное напряжение контроллера памяти. Это напряжение должно подаваться извне. Подробнее см. для получения более подробной информации. |
| DDR\_VTP | Подключение компенсационного резистора VTP DDR2/3/mDDR. |
| DDR\_RESETn | Выход сброса. Асинхронный сброс для устройств DDR3. |

**7.3.3.2 Управление тактовым генератором**

Тактовая частота DDR2/3/mDDR берется непосредственно с выхода VCO DDR PLL. Частоту DDR\_CLK можно определить по следующей формуле:

Частота DDR\_CLK = (входная тактовая частота DDRPLL x mulitplier)/((pre-divider+1)\*post-divider)

Второй выходной тактовый генератор контроллера памяти DDR2/3/mDDR DDR\_CLKn является обратным по отношению к DDR\_CLK. Вы можете изменить множитель, предварительный делитель и постделитель, чтобы получить желаемую частоту DDR\_CLK.

Подробную информацию о DDR PLL см. в разделе 8.1, Модуль управления питанием и тактовым генератором (PRCM).

**7.3.3.3 Обзор подсистемы контроллера памяти DDR2/3/mDDR**

Контроллер памяти DDR2/3/mDDR может беспроблемно подключаться к большинству стандартных устройств DDR2/3/mDDR SDRAM и поддерживает такие функции, как режим самообновления и приоритетное обновление. Кроме того, он обеспечивает гибкость за счет программируемых параметров, таких как частота обновления, задержка CAS и многие временные параметры SDRAM. Подсистема DDR2/3/mDDR состоит из следующих элементов:

- Контроллер памяти DDR2/3/mDDR

- Макрос команд

- Макрос данных

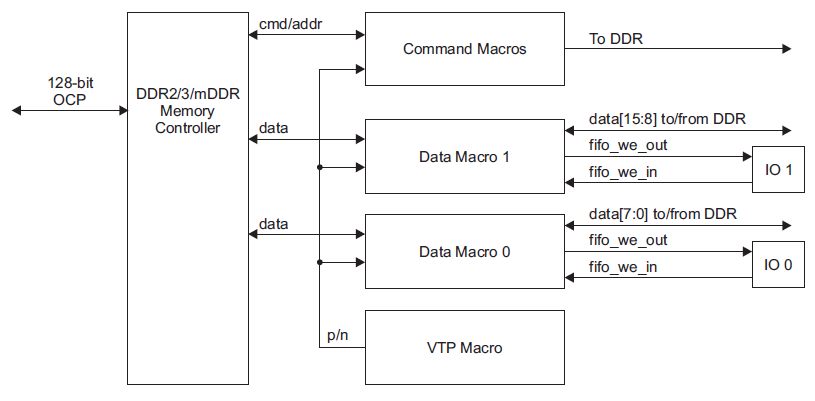
- Макрос контроллера VTP

- IOs для затвора DQS

Подсистема поддерживает устройства DDR2/DDR3 и mDDR(LPDRR1), совместимые со стандартом JEDEC. Подсистема не поддерживает CAS-задержку 2 для DDR2 из-за ограничений макросов данных и команд. Поддерживается 128-битный интерфейс OCP шириной 128 бит на стороне ядра для программирования. Подсистема может использоваться для подключения к 16-разрядным устройствам памяти.

На рисунке 7-202 показана блок-схема подсистемы DDR2/3/mDDR.

**Рисунок 7-202. Блок-схема подсистемы DDR2/3/mDDR**



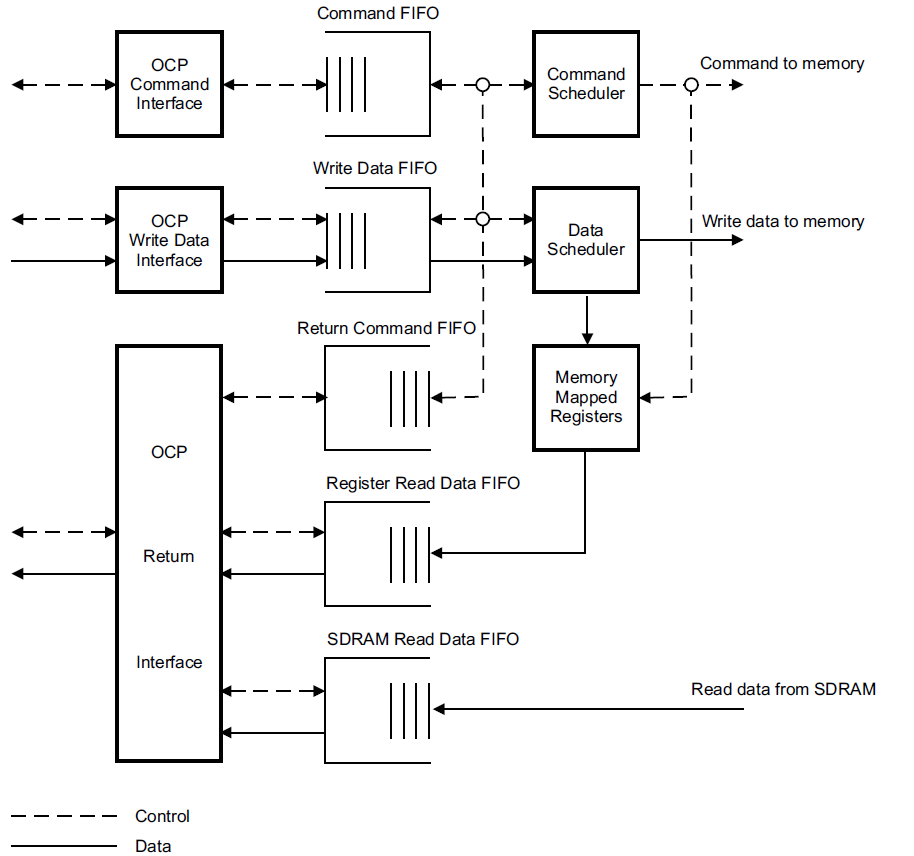
Где fifo\_we\_out = разрешающий выход DQS для согласования по времени между DQS и системным (память) тактовым генератором. fifo\_we\_in = разрешающий вход DQS для согласования по времени между DQS и системным тактовым генератором (память).

**7.3.3.3.1 Интерфейс контроллера памяти DDR2/3/mDDR**

Для эффективного перемещения данных из ресурсов чипа во внешнее устройство DDR2/3/mDDR SDRAM контроллер памяти DDR2/3/mDDR использует буфер FIFO команд, FIFO данных записи, FIFO команд возврата и два FIFO данных чтения. Назначение каждого FIFO описано ниже.

На рисунке 7-203 показана блок-схема FIFO контроллера памяти DDR2/3/mDDR. Команды, данные записи и данные чтения поступают в контроллер памяти DDR2 параллельно друг другу. Одна и та же периферийная шина используется для записи и чтения данных из внешней памяти, а также из внутренних регистров с привязкой к памяти.

**Рисунок 7-203. Блок-схема FIFO контроллера памяти DDR2/3/mDDR**



В командном FIFO хранятся все команды, поступающие на командный интерфейс OCP.

В FIFO данных записи хранятся данные записи для всех транзакций записи, поступающих на интерфейс данных записи OCP.

В FIFO команд возврата хранятся все транзакции возврата, которые должны быть выданы на интерфейс возврата OCP. К ним относятся команды возврата статуса записи и возврата данных чтения.

В двух FIFO данных чтения хранятся данные чтения, которые должны быть отправлены на интерфейс возврата OCP. Один FIFO данных для чтения хранит данные из регистров, отображаемых в памяти, а другой FIFO данных для чтения хранит данные для чтения из внешней памяти.

**7.3.3.3.2 Макрос данных**

Макрос данных состоит из 8 каналов данных, одной пары комплементарных стробов (одна пара на 8 бит данных) и одного канала маски данных (один на 8 бит данных).

Макрос данных состоит из макроса данных PHY, DLL и IO, интегрированных в макрос.

Макрос данных - это двунаправленный интерфейс. Он используется для передачи данных от контроллера памяти к внешней микросхемы памяти во время операции записи, а также для приема данных из памяти и передачи их в контроллер памяти во время операции чтения.

Во время операции записи макрос данных переводит 32/16-битные слова из контроллера памяти в 8-битные слова и передает их с удвоенной скоростью в память вместе со стробом. Строб выравнивается по центру по отношению к данным. Запись данных в память может быть запрещена с помощью сигнала маски данных.

Во время операции чтения макрос данных получает 8-битные данные DDR вместе со стробом, преобразует их в 32/16-битные слова и передает их контроллеру памяти вместе с сигналами read-valid.

**7.3.3.3.3 Командный макрос**

Он состоит из командного макроса PHY, DLL и интегрированных IO. Командный макрос действует как однонаправленный макрос, передающий адрес и управляющие биты от контроллера памяти к микросхеме памяти.

Тактовые импульсы DDR\_CLK и DDR\_CLKn используются памятью для регистрации команды и адреса, передаваемых по каналам передачи. Все сигналы адреса и управления передаются по тактовому центру относительно DDR\_CLK и DDR\_CLKn. Память, по положительному фронту DDR\_CLK и отрицательному фронту DDR\_CLKn, производит выборку всех адресных и управляющих сигналов.

**7.3.3.3.4 Макрос контроллера VTP**

Макрос контроллера VTP оценивает производительность кремния при текущем напряжении, температуре и технологическом процессе (VTP), чтобы позволить драйверам ввода-вывода установить постоянный заданный импеданс выходного драйвера. Контроллер работает сравнивая импеданс драйвера с внешним опорным резистором и регулируя импеданс драйвера для достижения соответствия импедансу. Контроллер VTP поддерживает следующие функции:

- Контроллер VTP генерирует информацию о напряжении, температуре и процессе (VTP) для передачи драйверам ввода-вывода устройства.

- Требуется тактовый вход от ядра, работающего на частоте 20 МГц или ниже.

- 56 тактов необходимо для обеспечения первоначальной установки выходов VTP после сброса.

- Может использоваться в режиме статического или динамического обновления

- Контроллер VTP имеет внутреннюю фильтрацию шумов, что позволяет ему контролировать ложные запросы на обновление из-за шума

Импеданс драйверов и выводов необходимо часто обновлять даже во время работы. В таких сценариях, где напряжение и температура являются переменными, макрос VTP может быть сконфигурирован в режиме динамического обновления. В отличие от этого, статический режим работы не позволяет динамически калибровать импеданс ввода-вывода, и следовательно, потребляет меньше энергии по сравнению с режимом динамического обновления.

Возможно, что в условиях повышенного шума контроллер динамического обновления может генерировать слишком частые запросы на обновление. Шум может заставить контроллер запросить изменение импеданса, которое может быть отменено на последующих тактовых циклах. Чтобы предотвратить чрезмерное количество запросов контроллера изменения импеданса, включен цифровой фильтр, который может быть настроен на регулирование частоты обновления. Например, если пользователь настроит значение фильтра как F2=0, F1=1 и F0=1, то обновление импеданса будет выполнено только в том случае, если от контроллера VTP поступит четыре последовательных запроса на обновление. Рекомендуется использовать значение фильтра 011'b.

В таблице 7-209 приведены сведения о конфигурации цифрового фильтра.

**Таблица 7-209. Конфигурация цифрового фильтра**

|  |  |  |  |
| --- | --- | --- | --- |
| **F2** | **F1** | **F0** | **Description** |
| 0 | 0 | 0 | Выкл. |
| 0 | 0 | 1 | Обновление по 2 последовательным запросам на обновление |
| 0 | 1 | 0 | Обновление по 3 последовательным запросам на обновление |
| 0 | 1 | 1 | Обновление по 4 последовательным запросам на обновление |
| 1 | 0 | 0 | Обновление по 5 последовательным запросам на обновление |
| 1 | 0 | 1 | Обновление по 6 последовательным запросам на обновление |
| 1 | 1 | 0 | Обновление по 7 последовательным запросам на обновление |
| 1 | 1 | 1 | Обновление по 8 последовательным запросам на обновление |

**7.3.3.3.5 Входы/выходы DQS-Gate**

Для эффективного моделирования задержки ввода/вывода на сигнале стробирования DQS во время запроса на чтение (приемник DQS и входы/выходы драйвера CLK), предполагается, что сигнал будет зациклен на одном входе/выходе, соединяющем fifo\_we\_in и fifo\_we\_out. Задержка на плате и в памяти, будучи достаточно постоянной при вариациях PTV, калибруется в IDID с помощью компенсированной линии задержки. Обратная связь выполняется на уровне матрицы без вывода сигналов на уровень корпуса. Каждый макрос данных поддерживает компенсацию задержки независимо друг от друга. Макросы данных и команд отвечают за компенсацию времени полета на уровне системы. Ниже перечислены управляющие воздействия, поддерживаемые подсистемой контроллера DDR2/3/mDDR.

- Выравнивание DDR\_DQS по отношению к DDR\_CLK во время цикла записи: Для работы с DDR3 инициируйте механизм выравнивания записи на каждом ранге по очереди, чтобы зафиксировать правильные настройки задержки для выравнивания DDR\_DQS с тактовым генератором DDR\_CLK для каждой памяти. Если вы хотите сделать это вручную, вы можете записать в управляющий регистр, который контролирует задержку DDR\_DQS по отношению к позиции тактового генератора DDR\_CLK. Для получения заданного перекоса для центрирования DDR\_DQS относительно тактового генератора на SDRAM можно запрограммировать следующий регистр.

Data Macro 0/1 Write DQS Slave Ratio Register=256 x ([задержка команды] - [задержка DDR\_DQS]) /

Период тактового генератора DDR\_CLK.

- Выравнивание ADDR/CMD по времени DDR\_CLK

- Выравнивание DDR\_DQ[15:0] по отношению к DDR\_DQS во время операции записи

- Смещение DDR\_D[15:0] по отношению к DDR\_DQS во время операции чтения

- Выравнивание окна FIFO WE

**7.3.3.4 Сопоставление адресов**

Контроллер памяти DDR2/3/mDDR рассматривает внешнюю память DDR2/3/mDDR SDRAM как один непрерывный блок памяти. Это утверждение справедливо независимо от количества устройств памяти, расположенных в пространстве выбора микросхем. Контроллер памяти DDR2/3/mDDR получает запросы на доступ к памяти DDR2/3/mDDR вместе с 32-битным логическим адресом от остальной части системы. В свою очередь, контроллер памяти DDR2/3/mDDR использует логический адрес для генерации адреса строки/страницы, столбца и банка для DDR2/3/mDDR SDRAM.

Количество используемых битов адреса столбца, строки и банка определяется полями IBANK, RSIZE и PAGESIZE (см. таблицу 7-210). Контроллер памяти DDR2/3/mDDR использует до 16 бит для адреса строки/страницы.

**Таблица 7-210. Информация о полях IBANK, RSIZE и PAGESIZE**

|  |  |  |
| --- | --- | --- |
| **Bit Field** | **Bit Value** | **Bit Description** |
| RSIZE |  | Определяет количество адресных линий, подключаемых к устройству памяти DDR2/3/mDDR |
| 0 | 9 рядов битов |
| 1h | 10 рядов битов |
| 2h | 11 рядов битов |
| 3h | 12 рядов битов |
| 4h | 13 рядов битов |
| 5h | 14 рядов битов |
| 6h | 15 рядов битов |
| 7h | 16 рядов битов |
| PAGESIZE |  | Определяет размер каждой страницы внешнего устройства памяти DDR2/3/mDDR |
| 0 | 256 слов (требуется 8 битов адреса столбца) |
| 1h | 512 слов (требуется 9 битов адреса столбца) |
| 2h | 1024 слова (требуется 10 битов адреса столбца) |
| 3h | 2048 слов (требуется 11 битов адреса столбца) |
| IBANK |  | Определяет количество внутренних банков на внешнем устройстве памяти DDR2/3/mDDR |
| 0 | 1 банк |
| 1h | 2 банка |
| 2h | 4 банка |
| 3h | 8 банков |
| EBANK |  | Определяет количество chip-select микросхем контроллера памяти DDR2/3/mDDR |
| 0 | Только CS0 |
| 1h | Зарезервировано |

При обращении к SDRAM, если поле REG\_IBANK\_POS в регистре SDRAM Config установлено в 0, а поле поле REG\_EBANK\_POS в регистре SDRAM Config 2 также установлено в 0, контроллер памяти DDR2/3/mDDR использует три поля, IBANK, EBANK и PAGESIZE в регистре SDRAM Config для определения соответствия между адресом источника и строкой, столбцом, банком и выбором микросхемы SDRAM. Если поле REG\_IBANK\_POS в регистре SDRAM Config установлено в 1, 2 или 3, или поле REG\_EBANK\_POS в регистре SDRAM Config 2 установлено в 1, контроллер памяти DDR2/3/mDDR использует 4 поля -IBANK, EBANK, PAGESIZE и ROWSIZE в регистре SDRAM Config для определения соответствия между адресом источника и строкой, столбцом, банком и chip-select SDRAM. Во всех случаях контроллер памяти DDR2/3/mDDR рассматривает свое адресное пространство SDRAM как единый логический блок, независимо от количества физических устройств или от того, сопоставлены ли они между собой, а также независимо от того, отображены ли эти устройства на 1 или 2 чип-селектах контроллера памяти DDR2/3/mDDR.

**7.3.3.4.1 Сопоставление адресов при REG\_IBANK\_POS=0 и REG\_EBANK\_POS=0**

При REG\_IBANK\_POS=0 и REG\_EBANK\_POS=0 схема отображения адресов действует следующим образом адрес источника увеличивается через границы страниц устройств памяти DDR2/3/mDDR, контроллер DDR2/3/mDDR переходит на ту же страницу в следующем банке текущего устройства DDR\_CSn[0]. Это перемещение по банкам текущего переходит к той же странице в следующем устройстве (если EBANK=1, DDR\_CSn[1]) и проходит через ту же страницу во всех ее банках перед переходом к следующей странице в первомустройстве (DDR\_CSn[0]). Контроллер DDR2/3/mDDR использует это перемещение по внутренним банкам и чип-селектам, выбирая при этом одну и ту же страницу, чтобы максимизировать количество открытых банков памяти DDR2/3/mDDR в общем пространстве устройств памяти DDR2/3/mDDR.

Таким образом, контроллер DDR2/3/mDDR может держать открытыми максимум 16 банков (8 внутренних банков и 2 чип-селекта) одновременно и может чередовать их между собой.

**Таблица 7-211. Сопоставление адресов OCP и адресов DDR2/3/mDDR для REG\_IBANK\_POS=0 и REG\_EBANK\_POS=0**

|  |  |  |  |
| --- | --- | --- | --- |
| **Logical Address** | | | |
| **Row Address** | **Chip Select** | **Bank Address** | **Column Address** |
|  | # битов, определяемых EBANK из  SDRCR | # Количество битов, определяемое IBANK из  SDRCR | # Количество битов, определяемое PAGESIZE  в SDRCR |
| 16 bits | EBANK=0 => 0 bits | IBANK=0 => 0 bits | PAGESIZE=0 => 8 bits |
|  | EBANK=1 => 1 bit | IBANK=1 => 1 bit | PAGESIZE=1 => 9 bits |
|  |  | IBANK=2 => 2 bits | PAGESIZE=2 => 10 bits |
|  |  | IBANK=3 => 3 bits | PAGESIZE=3 => 11 bits |

**7.3.3.4.2 Сопоставление адресов при REG\_IBANK\_POS = 1 и REG\_EBANK\_POS = 0**

При REG\_IBANK\_POS = 1 и REG\_EBANK\_POS = 0 чередование банков внутри устройства (на один чип-селект) ограничено 4 банками. Однако между двумя селекторами микросхем можно чередовать банки. Таким образом, контроллер контроллер DDR2/3/mDDR может держать открытыми максимум 16 банков (8 внутренних банков на 2 селектора микросхем) одновременно, но может чередовать только восемь из них.

**Таблица 7-212. Сопоставление адресов OCP и адресов DDR2/3/mDDR для REG\_IBANK\_POS=1 иREG\_EBANK\_POS=0**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Logical Address** | | | | |
| **Bank Address[2]** | **Row Address** | **Chip Select** | **Bank Address[1:0]** | **Column Address** |
| # Количество битов, определяемое  IBANK из SDRCR | # Количество битов, определяемое  RSIZE из SDRCR | # битов, определяемых  EBANK из SDRCR | # Количество битов, определяемое  IBANK из SDRCR | # Количество битов, определяемое  PAGESIZE из SDRCR |
| IBANK=0 => 0 bits | RSIZE=0 => 9 bits | EBANK=0 => 0 bits | IBANK=0 => 0 bits | PAGESIZE=0 => 8 bits |
| IBANK=1 => 0 bits | RSIZE=1 => 10 bits | EBANK=1 => 1 bit | IBANK=1 => 1 bit | PAGESIZE=1 => 9 bits |
| IBANK=2 => 0 bits | RSIZE=2 => 11 bits |  | IBANK=2 => 2 bits | PAGESIZE=2 => 10 bits |
| IBANK=3 => 1 bit | RSIZE=3 => 12 bits |  | IBANK=3 => 3 bits | PAGESIZE=3 => 11 bits |
|  | RSIZE=4 => 13 bits |  |  |  |
|  | RSIZE=5 => 14 bits |  |  |  |
|  | RSIZE=6 => 15 bits |  |  |  |
|  | RSIZE=7 => 16 bits |  |  |  |

**7.3.3.4.3 Сопоставление адресов при REG\_IBANK\_POS=2 и REG\_EBANK\_POS = 0**

При REG\_IBANK\_POS=2 и REG\_EBANK\_POS = 0 чередование банков в устройстве (на один чип-селект) ограничено 2 банками. Однако между двумя chip-select можно чередовать банки. Таким образом, контроллер DDR2/3/mDDR может держать открытыми максимум 16 банков (восемь внутренних банков между двумя chip-select) одновременно, но может чередовать только четыре из них.

**Таблица 7-213. Сопоставление адресов OCP и адресов DDR2/3/mDDR для REG\_IBANK\_POS=2 и REG\_EBANK\_POS=0**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Logical Address** | | | | |
| **Bank Address[2:1]** | **Row Address** | **Chip Select** | **Bank Address[1:0]** | **Column Address** |
| # Количество битов, определяемое  IBANK из SDRCR | # Количество битов, определяемое  RSIZE из SDRCR | # битов, определяемых  EBANK из SDRCR | # Количество битов, определяемое  IBANK из SDRCR | # Количество битов, определяемое  PAGESIZE из SDRCR |
| IBANK=0 => 0 bits | RSIZE=0 => 9 bits | EBANK=0 => 0 bits | IBANK=0 => 0 bits | PAGESIZE=0 => 8 bits |
| IBANK=1 => 0 bits | RSIZE=1 => 10 bits | EBANK=1 => 1 bit | IBANK=1 => 1 bit | PAGESIZE=1 => 9 bits |
| IBANK=2 => 1 bit | RSIZE=2 => 11 bits |  | IBANK=2 => 1 bit | PAGESIZE=2 => 10 bits |
| IBANK=3 => 2 bits | RSIZE=3 => 12 bits |  | IBANK=3 => 1 bit | PAGESIZE=3 => 11 bits |
|  | RSIZE=4 => 13 bits |  |  |  |
|  | RSIZE=5 => 14 bits |  |  |  |
|  | RSIZE=6 => 15 bits |  |  |  |
|  | RSIZE=7 => 16 bits |  |  |  |

**7.3.3.4.4 Сопоставление адресов при REG\_IBANK\_POS = 3 и REG\_EBANK\_POS = 0**

Если REG\_IBANK\_POS = 3 и REG\_EBANK\_POS = 0, контроллер DDR2/3/mDDR не может чередовать банки в пределах одного устройства (по chip-select). Однако он может чередовать банки между двумя chip-select. Таким образом, контроллер DDR2/3/mDDR может держать открытыми максимум 16 банков (8 внутренних банков между двумя селекторами микросхем) открытыми одновременно, но может перемежаться только между двумя из них.

**Таблица 7-214. Сопоставление адресов OCP и адресов DDR2/3/mDDR для REG\_IBANK\_POS=3 иREG\_EBANK\_POS=0**

|  |  |  |  |
| --- | --- | --- | --- |
| **Logical Address** | | | |
| **Bank Address** | **Row Address** | **Chip Select** | **Column Address** |
| # Количество битов, определяемое  IBANK из SDRCR | # Количество битов, определяемое  RSIZE из SDRCR | # битов, определяемых  EBANK из SDRCR | # Количество битов, определяемое  PAGESIZE из SDRCR |
| IBANK=0 => 0 bits | RSIZE=0 => 9 bits | EBANK=0 => 0 bits | PAGESIZE=0 => 8 bits |
| IBANK=1 => 1 bit | RSIZE=1 => 10 bits | EBANK=1 => 1 bit | PAGESIZE=1 => 9 bits |
| IBANK=2 => 2 bits | RSIZE=2 => 11 bits |  | PAGESIZE=2 => 10 bits |
| IBANK=3 => 3 bits | RSIZE=3 => 12 bits |  | PAGESIZE=3 => 11 bits |
|  | RSIZE=4 => 13 bits |  |  |
|  | RSIZE=5 => 14 bits |  |  |
|  | RSIZE=6 => 15 bits |  |  |
|  | RSIZE=7 => 16 bits |  |  |

**7.3.3.4.5 Сопоставление адресов при REG\_IBANK\_POS = 0 и REG\_EBANK\_POS = 1**

При REG\_IBANK\_POS = 0 и REG\_EBANK\_POS = 1 контроллер памяти DDR2/3/mDDR чередует между всеми банками внутри устройства (по выбору чипа). Однако контроллер памяти DDR2/3/mDDR не может чередовать банки между двумя селекторами микросхем. Таким образом, контроллер памяти DDR2/3/mDDR может одновременно держать открытыми максимум 16 банков (8 внутренних банков на 2 селектора микросхем), но может только перемежаться между 8 из них.

**Таблица 7-215. Сопоставление адресов OCP и адресов DDR2/3/mDDR для REG\_IBANK\_POS=0 и REG\_EBANK\_POS=1**

|  |  |  |  |
| --- | --- | --- | --- |
| **Logical Address** | | | |
| **Chip Select** | **Row Address** | **Bank Address** | **Column Address** |
| # битов, определяемых  EBANK из SDRCR | # Количество битов, определяемое  RSIZE из SDRCR | # Количество битов, определяемое  IBANK из SDRCR | # Количество битов, определяемое  PAGESIZE из SDRCR |
| EBANK=0 => 0 bits | RSIZE=0 => 9 bits | IBANK=0 => 0 bits | PAGESIZE=0 => 8 bits |
| EBANK=1 => 1 bit | RSIZE=1 => 10 bits | IBANK=1 => 1 bit | PAGESIZE=1 => 9 bits |
|  | RSIZE=2 => 11 bits | IBANK=2 => 2 bits | PAGESIZE=2 => 10 bits |
|  | RSIZE=3 => 12 bits | IBANK=3 => 3 bits | PAGESIZE=3 => 11 bits |
|  | RSIZE=4 => 13 bits |  |  |
|  | RSIZE=5 => 14 bits |  |  |
|  | RSIZE=6 => 15 bits |  |  |
|  | RSIZE=7 => 16 bits |  |  |

**7.3.3.4.6 Сопоставление адресов при REG\_IBANK\_POS = 1 и REG\_EBANK\_POS = 1**

При REG\_IBANK\_POS = 1 и REG\_EBANK\_POS = 1 чередование банков внутри устройства (на один чип-селект) ограничено 4 банками. Кроме того, контроллер памяти DDR2/3/mDDR не может чередовать банки между двумя селекторами микросхем. Таким образом, контроллер памяти DDR2/3/mDDR может хранить максимум 16 банков (8 внутренних банков на 2 выбора микросхем) открытыми одновременно, но может чередовать только четыре из них.

**Таблица 7-216. Карта адресов OCP и DDR2/3/mDDR**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Logical Address** | | | | |
| **Chip Select** | **Bank Address[2]** | **Row Address** | **Bank Address[1:0]** | **Column Address** |
| # битов, определяемых  EBANK из SDRCR | # Количество битов, определяемое  IBANK из SDRCR | # Количество битов, определяемое  RSIZE из SDRCR | # Количество битов, определяемое  IBANK из SDRCR | # Количество битов, определяемое  PAGESIZE из SDRCR |
| EBANK=0 => 0 bits | IBANK=0 => 0 bits | RSIZE=0 => 9 bits | IBANK=0 => 0 bits | PAGESIZE=0 => 8 bits |
| EBANK=1 => 1 bit | IBANK=1 => 0 bits | RSIZE=1 => 10 bits | IBANK=1 => 1 bit | PAGESIZE=1 => 9 bits |
|  | IBANK=2 => 0 bits | RSIZE=2 => 11 bits | IBANK=2 => 2 bits | PAGESIZE=2 => 10 bits |
|  | IBANK=3 => 1 bit | RSIZE=3 => 12 bits | IBANK=3 => 2 bits | PAGESIZE=3 => 11 bits |
|  |  | RSIZE=4 => 13 bits |  |  |
|  |  | RSIZE=5 => 14 bits |  |  |
|  |  | RSIZE=6 => 15 bits |  |  |
|  |  | RSIZE=7 => 16 bits |  |  |

**7.3.3.4.7 Сопоставление адресов при REG\_IBANK\_POS = 2 и REG\_EBANK\_POS = 1**

При REG\_IBANK\_POS = 2 и REG\_EBANK\_POS = 1 чередование банков внутри устройства (на один чип-селект) ограничено 2 банками. Кроме того, контроллер памяти DDR2/3/mDDR не может чередовать банки между двумя селекторами микросхем. Таким образом, контроллер памяти DDR2/3/mDDR может хранить максимум 16 банков (8 внутренних банков на 2 выбора микросхем) открытыми одновременно, но может чередовать только два из них.

**Таблица 7-217. Сопоставление адресов OCP и адресов DDR2/3/mDDR для REG\_IBANK\_POS = 2 и REG\_EBANK\_POS = 1**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Logical Address** | | | | |
| **Chip Select** | **Bank Address[2:1]** | **Row Address** | **Bank Address[0]** | **Column Address** |
| # битов, определяемых  EBANK из SDRCR | # Количество битов, определяемое  IBANK из SDRCR | # Количество битов, определяемое  RSIZE из SDRCR | # Количество битов, определяемое  IBANK из SDRCR | # Количество битов, определяемое  PAGESIZE из SDRCR |
| EBANK=0 => 0 bits | IBANK=0 => 0 bits | RSIZE=0 => 9 bits | IBANK=0 => 0 bits | PAGESIZE=0 => 8 bits |
| EBANK=1 => 1 bit | IBANK=1 => 0 bits | RSIZE=1 => 10 bits | IBANK=1 => 1 bit | PAGESIZE=1 => 9 bits |
|  | IBANK=2 => 1 bits | RSIZE=2 => 11 bits | IBANK=2 => 1 bits | PAGESIZE=2 => 10 bits |
|  | IBANK=3 => 2 bit | RSIZE=3 => 12 bits | IBANK=3 => 1 bits | PAGESIZE=3 => 11 bits |
|  |  | RSIZE=4 => 13 bits |  |  |
|  |  | RSIZE=5 => 14 bits |  |  |
|  |  | RSIZE=6 => 15 bits |  |  |
|  |  | RSIZE=7 => 16 bits |  |  |

**7.3.3.4.8 Сопоставление адресов при REG\_IBANK\_POS = 3 и REG\_EBANK\_POS = 1**

При REG\_IBANK\_POS = 3 и REG\_EBANK\_POS = 1 контроллер памяти DDR2/3/mDDR не может перемежать банки внутри устройства (на один выбор микросхемы) или между двумя выборами микросхем. Таким образом, контроллер памяти DDR2/3/mDDR может держать открытыми максимум 16 банков (8 внутренних банков на два селектора микросхем) открытыми одновременно, но не может чередовать их между собой.

**Таблица 7-218. Сопоставление адресов OCP и адресов DDR2/3/mDDR для REG\_IBANK\_POS=3 и REG\_EBANK\_POS=1**

|  |  |  |  |
| --- | --- | --- | --- |
| **Logical Address** | | | |
| **Chip Select** | **Bank Address** | **Row Address** | **Column Address** |
| # битов, определяемых  EBANK из SDRCR | # Количество битов, определяемое  IBANK из SDRCR | # Количество битов, определяемое  RSIZE из SDRCR | # Количество битов, определяемое  PAGESIZE из SDRCR |
| EBANK=0 => 0 bits | IBANK=0 => 0 bits | RSIZE=0 => 9 bits | PAGESIZE=0 => 8 bits |
| EBANK=1 => 1 bit | IBANK=1 => 1 bits | RSIZE=1 => 10 bits | PAGESIZE=1 => 9 bits |
|  | IBANK=2 => 2 bits | RSIZE=2 => 11 bits | PAGESIZE=2 => 10 bits |
|  | IBANK=3 => 3 bit | RSIZE=3 => 12 bits | PAGESIZE=3 => 11 bits |
|  |  | RSIZE=4 => 13 bits |  |
|  |  | RSIZE=5 => 14 bits |  |
|  |  | RSIZE=6 => 15 bits |  |
|  |  | RSIZE=7 => 16 bits |  |

Поскольку контроллер памяти DDR2/3/mDDR чередует меньшее количество банков, когда

IBANK\_POS!= 0 или EBANK\_POS= 1, производительность в этих случаях ниже, чем в случае IBANK\_POS= 0. Таким образом, эти случаи рекомендуется использовать только вместе с частичным самообновлением массива, когда производительность может быть компенсирована экономией энергии.

**7.3.3.5 Управление производительностью**

**7.3.3.5.1 Упорядочивание и планирование команд**

Контроллер памяти DDR2/3/mDDR выполняет переупорядочивание и планирование команд в попытке добиться эффективной передачи данных с максимальной пропускной способностью. Цель состоит в том, чтобы максимально использовать шину данных, адресную и командную шину, скрывая при этом накладные расходы на открытие и закрытие DDR2/3/mDDR SDRAM строк. Переупорядочивание команд происходит внутри командного FIFO.

Контроллер памяти DDR2/3/mDDR просматривает все команды, хранящиеся в командном FIFO, чтобы планирования команд во внешнюю память. Все команды от одного и того же мастера будут выполняться по порядку, независимо от приоритета мастера. Контроллер памяти не гарантирует упорядочивания между командами от разных мастеров. Однако контроллер памяти будет поддерживать согласованность данных. Поэтому контроллер памяти будет блокировать команду, независимо от приоритета мастера, если эта команда относится к тому же адресу блока (2048 байт), что и более старая команда. Таким образом, контроллер памяти может иметь одну или несколько ожидающих команд чтения или записи для каждого мастера. Среди всех ожидающих чтений контроллер памяти выбирает все чтения у которых уже открыты соответствующие банки SDRAM. Аналогично, среди всех ожидающих записи контроллер памяти выбирает все записи, соответствующие банки SDRAM которых уже открыты.

В результате вышеупомянутого упорядочивания в любой момент времени контроллер памяти может иметь несколько ожидающих операций чтений и записей, у которых открыты соответствующие банки. Затем контроллер памяти выбирает чтение с наивысшим приоритетом из ожидающих чтения, а запись с наивысшим приоритетом из ожидающих записи. Если две или более команд имеют наивысший приоритет, контроллер памяти выбирает самую старую команду. В результате у контроллера памяти может быть последняя команда чтения и последняя команда записи. Контроллер памяти выберет либо чтение, либо запись в зависимости от значения, запрограммированного в регистре Read Write Execution Threshold register. Контроллер памяти будет выполнять чтение до тех пор, пока не будет достигнут порог чтения, а затем затем переключится на выполнение записи. Затем контроллер памяти будет выполнять записи до тех пор, пока не будет достигнут порог записи, а затем снова переключится на выполнение чтения. Контроллер памяти будет удовлетворять требованиям пороговых значений только в том случае, если данный тип команды доступен для выполнения, в противном случае он переключится на другой тип. Аналогично, контроллер памяти будет удовлетворять пороговым значениям только в том случае, если в FIFO данного типа есть место (Read Data FIFO для чтения и Write Status FIFO для записи), иначе он переключится на другой тип.

Контроллер памяти завершает выполнение команды OCP, прежде чем переключиться на другую команду.

Все доступы к SDRAM объединяются в трубопровод для максимального использования внешней шины. Другими словами доступы к SDRAM выдаются один за другим таким образом, чтобы между двумя доступами было минимальное количество циклов простоя. Это включает в себя планирование, перечисленное выше, чтобы минимизировать накладные расходы на открытие и закрытие банков SDRAM. Все это выполняется при соблюдении временных требований доступа к SDRAM.

Помимо команд, получаемых от внутрикристальных ресурсов, контроллер памяти DDR2/3/mDDR также выдает команды обновления. Контроллер памяти DDR2/3/mDDR пытается задержать команды обновления как можно дольше, чтобы обеспечить максимальную производительность при соблюдении требований к обновлению SDRAM. По мере того как контроллер памяти DDR2/3/mDDR подает команды чтения, записи и обновления на устройство DDR2/3/mDDR SDRAM, он следует следующей схеме приоритетов:

1. (Наивысший приоритет) Запрос на обновление SDRAM из-за достижения уровня срочности обновления Refresh Must (см.Раздел 7.3.3.5.5).

2. Запрос на чтение или запись.

3. Команды активации SDRAM.

4. Команды деактивации SDRAM.

5. Запрос на глубокое отключение питания SDRAM.

6. Остановка тактового генератора SDRAM или запрос Power-Down.

7. Запрос на обновление SDRAM в связи с достижением уровня срочности обновления Refresh May или Release (см.раздел Планирование обновлений).

8. (Самый низкий приоритет) Запрос на самообновление SDRAM.

**7.3.3.5.2 Остановка команд**

Перечисленные выше правила переупорядочивания и планирования могут привести к «голоданию» команд, т. е. предотвращение обработки определенных команд контроллером памяти DDR2/3/mDDR.

Голодание команд возникает при следующих условиях:

- непрерывный поток высокоприоритетных команд чтения может блокировать низкоприоритетную команду записи

- Непрерывный поток команд DDR2/3/mDDR SDRAM на строку в открытом банке может блокировать команды на закрытый ряд в том же банке.

Чтобы избежать таких ситуаций, контроллер памяти DDR2/3/mDDR может на мгновение повысить приоритет самой старой команды в FIFO команд после выполнения определенного количества пересылок. Адрес REG\_COS\_COUNT\_1,REG\_COS\_COUNT\_2 в регистре конфигурации интерфейса (OCP\_CONFIG) задает количество пересылок, которые должны быть выполнены, прежде чем контроллер памяти DDR2/3/mDDR повысит приоритет самой старой команды. Дополнительные сведения см. в разделе Класс обслуживания (COS).

*ПРИМЕЧАНИЕ: Если оставить биты REG\_COS в значении по умолчанию (FFh) в регистре конфигурации интерфейса (OCP\_CONFIG) это отключает эту функцию контроллера памяти DDR2/3/mDDR. Это означает, что команды могут оставаться в командном FIFO неограниченно долго. Поэтому эти биты должны быть установлены в значение FEh сразу после сброса, чтобы включить эту функцию с максимальным уровнем допустимых передач данных в память. Рекомендуется установить приоритет на уровне системы, чтобы избежать размещения высокоскоростных мастеров на самые высокие уровни приоритета. Эти биты можно оставить как FEh, если только не требуется расширенное управление пропускной способностью/приоритетами.*

**7.3.3.5.3 Возможные условия гонки**

Когда некоторые мастера записывают данные в контроллер памяти DDR2/3/mDDR, может возникнуть ситуация гонки. Например, если мастер A передает программное сообщение через буфер в памяти DDR2/3/mDDR и не ждет сигнала о завершении записи, то при попытке мастера B прочитать программное сообщение он может прочитать устаревшие данные и, следовательно, получить неверное сообщение. Для подтверждения того, что запись от мастера A завершилась до того, как будет выполнено чтение от мастера B, мастер A должен дождаться статуса завершения записи от контроллера памяти DDR2/3/mDDR, прежде чем сообщить ведущему B, что данные готовы к считыванию.

Если мастер A не дожидается сообщения о завершении записи, он должен выполнить следующее обходное решение:

1. Выполните требуемую запись.

2. Выполните фиктивную запись в регистр идентификатора и ревизии модуля контроллера памяти DDR2.

3. Выполните фиктивное чтение регистра идентификатора и ревизии модуля контроллера памяти DDR2.

4. После завершения чтения на шаге 3 сообщите ведущему B, что данные готовы к считыванию.

Завершение чтения на шаге 3 гарантирует, что предыдущая запись была выполнена.

Список периферийных устройств ведущего устройства, для которых требуется данное обходное решение, см. в спецификации конкретного устройства.

**7.3.3.5.4 Класс обслуживания (COS)**

Команды в командном FIFO могут быть сопоставлены с двумя классами обслуживания, а именно 1 и 2. Отнесение команд к определенному классу обслуживания может быть выполнено на основе приоритета или идентификатора соединения ID.

Сопоставление на основе приоритета может быть выполнено путем установки соответствующих значений в регистре приоритета и класса обслуживания (PRI\_COS\_MAP). Сопоставление на основе ID соединения может быть выполнено путем установки соответствующих значений ID соединения и масок в регистрах Connection ID to Class of Service Mapping (CONNID\_COS\_1\_MAP и CONNID\_COS\_2\_MAP).

Для каждого класса обслуживания можно установить 3 значения идентификатора соединения и маски. В сочетании с масками, каждый класс обслуживания может иметь максимум 144 идентификатора соединения, сопоставленных с ним. Например, значение идентификатора соединения 0xFF вместе со значением маски 0x3 сопоставит все идентификаторы соединений от 0xF8 до 0xFF к данному классу обслуживания.

Каждый класс обслуживания имеет ассоциированный счетчик задержки (REG\_COS\_COUNT). Значение этого счетчика может быть установлено в регистре конфигурации интерфейса (OCP\_CONFIG). Когда счетчик задержки для команды истекает, т.е. достигает значения, запрограммированного для класса обслуживания, к которому принадлежит команда ,эта команда будет выполняться следующей. Если существует несколько команд, с истекшим сроком ожидания, команда с наивысшим приоритетом будет выполнена первой. Одно исключение если самая старая команда в очереди имеет истекший счетчик reg\_pr\_old\_count, то эта команда будет выполнена первой независимо от приоритета или класса обслуживания. Это сделано для предотвращения эффекта непрерывного блокирования.

Сопоставление идентификаторов соединений позволяет поместить один и тот же идентификатор соединения как в класс обслуживания 1, так и в класс 2. Кроме того, транзакция может принадлежать к одному классу обслуживания, если рассматривать ее по идентификатору соединения, и может принадлежать к другому классу обслуживания, если рассматривать ее по приоритету. В этих случаях команда будет принадлежать к обоим классам обслуживания. Контроллер памяти DDR2/3/mDDR попытается выполнить команду как можно быстрее, когда истечет меньший из двух счетчиков ( REG\_COS\_COUNT\_1 ИЛИ REG\_COS\_COUNT\_2).

**7.3.3.5.5 Планирование обновлений**

Контроллер памяти DDR2/3/mDDR выдает команды автообновления (REFR) на устройства DDR2/3/mDDR SDRAM с частотой, определяемой битовым полем частоты обновления (REFRESH\_RATE) в регистре управления обновлением SDRAM (SDRFC). Счетчик интервалов обновления загружается значением битового поля REFRESH\_RATE и уменьшается на 1 каждый цикл, пока не достигнет нуля. Как только счетчик интервалов достигает нуля, он перезагружается со значением значением бита REFRESH\_RATE. Каждый раз, когда счетчик интервалов истекает, счетчик отставания обновления увеличивается на 1. И наоборот, каждый раз, когда контроллер памяти DDR2/3/mDDR выполняет команду REFR счетчик бэклога уменьшается на 1. Это означает, что счетчик бэклога обновления фиксирует количество команд REFR, которые контроллер памяти DDR2/3/mDDR в данный момент не выполнил.

Контроллер памяти DDR2/3/mDDR выдает команды REFR в зависимости от уровня срочности. Уровень срочности определен ниже. При достижении уровня срочности обновления контроллер памяти DDR2/3/mDDR выдает команду REFR перед обслуживанием любых новых запросов доступа к памяти.

После команды REFR контроллер памяти DDR2/3/mDDR ожидает T\_RFC циклов, определенных в регистре SDRAM timing 1 register (SDRTIM1), перед повторной проверкой уровня срочности обновления. Счетчики обновления не работают, когда память SDRAM находится в режиме самообновления.

**Таблица 7-219. Режимы обновления**

|  |  |
| --- | --- |
| **Urgency Level** | **Description** |
| Refresh May | Счетчик отставания больше 0. Указывает на отставание команд REFR, когда контроллер памяти DDR2/3/mDDR не занят, он выдаст команду REFR. |
| Refresh Release | Счетчик отставания больше 4. Указывает на то, что отставание в обновлении команд REFR становится большим и когда контроллер памяти DDR2/3/mDDR не занят, он должен выдать команду REFR. |
| Refresh Must | Счетчик отставания больше 7. Указывает на то, что отставание в обновлении команд REFR становится чрезмерным и контроллеру памяти DDR2/3/mDDR следует выполнить цикл автоматического обновления перед обслуживанием новых  запросов доступа к памяти. |

Контроллер памяти DDR2/3/mDDR начинает обслуживать новые обращения к памяти после сброса уровня Refresh Release. Если какая-либо из команд в Command FIFO имеет счетчики задержки класса обслуживания, которые истекли, контроллер памяти DDR2/3/mDDR не будет дожидаться сброса уровня Refresh Release, а выполнит только одну команду обновления и выйдет из состояния обновления.

**7.3.3.5.6 Конфигурация счетчиков производительности**

В таблице 7-220 показаны возможные конфигурации фильтров для двух счетчиков производительности (REG\_CNTR1\_CFG и REG\_CNTR2\_CFG). Эти конфигурации фильтров можно использовать в сочетании с подключением OCP ID и/или внешним селектором микросхемы для получения статистики производительности для конкретного мастера OCP и/или внешнего селектора микросхемы.

**Таблица 7-220. Конфигурации фильтров для счетчиков производительности**

|  |  |  |  |
| --- | --- | --- | --- |
| **cntrN\_cfg(1)** | **cntrN\_region\_en** | **cntrN\_mconnid\_en** | **Description** |
| 0x0 | 0x0 | 0x0 or 0x1 | Подсчет общего количества обращений к SDRAM. |
| 0x1 | 0x0 | 0x0 or 0x1 | Подсчет общего количества активаций SDRAM. |
| 0x2 | 0x0 or 0x1 | 0x0 or 0x1 | Подсчет общего количества прочтений. |
| 0x3 | 0x0 or 0x1 | 0x0 or 0x1 | Подсчет общего количества записей. |
| 0x4 | 0x0 | 0x0 | Подсчет количества тактовых циклов DDR OCP. Командный FIFO заполнен. |
| 0x5 | 0x0 | 0x0 | Подсчет количества тактовых циклов DDR OCP.FIFO данных для записи заполнен. |
| 0x6 | 0x0 | 0x0 | Подсчет количества тактовых циклов DDR OCP.FIFO данных для чтения заполнен. |
| 0x7 | 0x0 | 0x0 | Подсчет количества тактовых циклов DDR OCP.FIFO команд возврата заполнен. |
| 0x8 | 0x0 or 0x1 | 0x0 or 0x1 | Подсчет количества приоритетных подъемов. |
| 0x9 | 0x0 | 0x0 | Подсчитывает количество тактов DDR, в течение которых команда была в ожидании. |
| 0xA | 0x0 | 0x0 | Подсчет количества тактов DDR, в течение которых шина данных памяти  передавала данные. |
| 0xB – 0xF | 0x0 | 0x0 | Зарезервировано для будущего использования. |

***(1)*** *Если MReqDebug установлен на 1 для определенной команды OCP, счетчики производительности не будут увеличиваться если значения cntrN\_cfg равны 0x0, 0x1, 0x2, 0x3 или 0xA.*

**7.3.3.6 Инициализация SDRAM**

**7.3.3.6.1 Инициализация DDR2**

При выходе из сброса, если поле reg\_sdram\_type в регистре SDRAM Config равно 2 и reg\_initref\_dis в регистре SDRAM Config равно 2 и бит SDRAM Refresh Control установлен в 0, EMIF выполняет последовательность инициализации DDR2 SDRAM следующим образом:

1. Подает низкий уровень на pad\_cke\_o.

2. Через 16 интервалов частоты обновления SDRAM выдает команду NOP, удерживая pad\_cke\_o на высоком уровне. Частота обновления SDRAM определяется в описании поля reg\_refresh\_rate (см. описание регистра SDRAM Refresh Control register).

3. Выдает команду PRECHARGE с высоким уровнем pad\_a\_o[10] для указания всех банков.

4. Выдает команду LOAD MODE REGISTER в регистр расширенного режима 2 (pad\_ba\_o[2:0] = 0x2) при этом pad\_a\_o[15:0] устанавливается следующим образом:

|  |  |  |
| --- | --- | --- |
| **Bits** | **Value** | **Description** |
| pad\_a\_o[15:8] | 0x0 | Reserved |
| pad\_a\_o[7] | reg\_srt | Температурный диапазон самообновления из регистра SDRAM Refresh Control |
| pad\_a\_o[6:4] | 0x0 | Reserved |
| pad\_a\_o[3] | 0x0 | Отключение DCC |
| pad\_a\_o[2:0] | reg\_pasr | Частичное самообновление массива из регистра SDRAM Refresh Control |

5. Выдает команду LOAD MODE REGISTER в регистр расширенного режима 3 (pad\_ba\_o[2:0] = 0x3) при этом pad\_a\_o[15:0] = 0x0.

6. Выдает команду LOAD MODE REGISTER в регистр расширенного режима 1 (pad\_ba\_o[2:0] = 0x1) с битами pad\_a\_o, установленными следующим образом:

|  |  |  |
| --- | --- | --- |
| **Bits** | **Value** | **Description** |
| pad\_a\_o[15:13] | 0x0 | Reserved |
| pad\_a\_o[12] | 0x0 | Выходной буфер включен |
| pad\_a\_o[11] | 0x0 | Отключение RDQS |
| pad\_a\_o[10] | !reg\_ddr2\_ddqs | Значение разрешения дифференциального DQS из регистра SDRAM Config |
| pad\_a\_o[9:7] | 0x0 | Выход из режима калибровки OCD |
| pad\_a\_o[6] | reg\_ddr\_term[1] | Значение оконечного резистора DDR2 из регистра SDRAM Config |
| pad\_a\_o[5:3] | 0x0 | Аддитивная задержка = 0 |
| pad\_a\_o[2] | reg\_ddr\_term[0] | Значение оконечного резистора DDR2 из регистра SDRAM Config |
| pad\_a\_o[1] | reg\_sdram\_drive | Мощность драйвера SDRAM из регистра SDRAM Config |
| pad\_a\_o[0] | 0x0 | Включить DLL |

7. Выдает команду LOAD MODE REGISTER в регистр режима (pad\_ba\_o[2:0] = 0x0), при этом биты биты pad\_a\_o установлены следующим образом:

|  |  |  |
| --- | --- | --- |
| **Bits** | **Value** | **Description** |
| pad\_a\_o[15:13] | 0x0 | Reserved |
| pad\_a\_o[12] | 0x0 | Быстрый выход из режима активного отключения питания |
| pad\_a\_o[11:0] | reg\_t\_wr | Восстановление записи для автоматической предварительной зарядки из регистра SDRAM Timing 1 |
| pad\_a\_o[8] | 0x1 | Сброс DLL |
| pad\_a\_o[7] | 0x0 | Нормальный режим |
| pad\_a\_o[6:4] | reg\_cl[2:0] | Задержка CAS из регистра SDRAM Config |
| pad\_a\_o[3] | 0x0 | Тип последовательной серии |
| pad\_a\_o[2:0] | 0x3 | Длительность серии 8 |

8. Через 267 тактов выдается команда PRECHARGE, при этом pad\_a\_o[10] удерживается на высоком уровне, чтобы указать все банки.

9. После 2 команд AUTO REFRESH подает команду LOAD MODE REGISTER в регистр режима (pad\_ba\_o[2:0 = 0x0) с битами pad\_a\_o, установленными следующим образом:

|  |  |  |
| --- | --- | --- |
| **Bits** | **Value** | **Description** |
| pad\_a\_o[15:9] | Equal to step 7 |  |
| pad\_a\_o[8] | 0x0 | DLL не сбрасывается |
| pad\_a\_o[8] | Equal to step 7 |  |

10. Выдает команду LOAD MODE REGISTER в регистр расширенного режима 1 (pad\_ba\_o[2:0] = 0x1) с битами pad\_a\_o, установленными следующим образом:

|  |  |  |
| --- | --- | --- |
| **Bits** | **Value** | **Description** |
| pad\_a\_o[15:10] | Equal to step 6 |  |
| pad\_a\_o[9:7] | 0x0 | Калибровка ОКР по умолчанию |
| pad\_a\_o[6:0] | Equal to step 6 |  |

11. Выдает команду LOAD MODE REGISTER в регистр расширенного режима 1 (pad\_ba\_o[2:0] = 0x1)с битами pad\_a\_o, равными шагу 6.

12. Если бит reg\_ddr\_disable\_dll в регистре SDRAM Config равен 1, выдает команду LOAD MODE REGISTER в регистр расширенного режима 1 (pad\_ba\_o[2:0] = 0x1) с битами pad\_a\_o, установленными следующим образом:

|  |  |  |
| --- | --- | --- |
| **Bits** | **Value** | **Description** |
| pad\_a\_o[15:1] | Equal to step 6 |  |
| pad\_a\_o[0] | 0x1 | Отключить DLL |

13. EMIF переходит в состояние покоя.

EMIF также выполняет последовательность инициализации при каждой записи в регистр SDRAM Config. В этом случае EMIF начинает с шага 3.

Команда LOAD MODE REGISTER может называться командой MODE REGISTER SET в некоторых спецификациях DDR2. EMIF не выполняет никаких операций до тех пор, пока пока не завершится последовательность инициализации DDR2.

Значение reg\_refresh\_rate при сбросе равно значению порта config\_refresh\_def\_val. Когда EMIF выходит из сброса, время задержки в шаге 2, полученное в результате 16 интервалов частоты обновления + 8 циклов, составляет приблизительно 16 \* reg\_refresh\_rate / входная частота. Пользователь должен привязать к порту config\_refresh\_def\_val правильное значение чтобы удовлетворить типичное для устройств DDR2 время задержки 200 мс между включением питания и применениемкоманды PRECHARGE all.

**7.3.3.6.2 Инициализация DDR3**

При выходе из режима сброса, если поле reg\_sdram\_type в регистре SDRAM Config равно 3 и бит бит reg\_initref\_dis в регистре SDRAM Refresh Control установлен в 0, EMIF выполняет последовательность инициализации DDR3 SDRAM следующим образом:

1. Подает низкий уровень на pad\_cke\_o.

2. Через 16 интервалов частоты обновления SDRAM выдает команду NOP, удерживая pad\_cke\_o на высоком уровне. Частота обновления SDRAM определяется в описании поля reg\_refresh\_rate (см. описание регистра SDRAM Refresh Control register).

3. Выдает команду LOAD MODE REGISTER в регистр расширенного режима 2 (pad\_ba\_o[2:0] = 0x2) при этом pad\_a\_o[15:0] устанавливается следующим образом:

|  |  |  |
| --- | --- | --- |
| **Bits** | **Value** | **Description** |
| pad\_a\_o[15:11] | 0x0 | Reserved |
| pad\_a\_o[10:9] | reg\_dyn\_odt | Динамическое значение ODT из регистра SDRAM Config |
| pad\_a\_o[8] | 0x0 | Reserved |
| pad\_a\_o[7] | reg\_srt | Температурный диапазон самообновления из регистра SDRAM Refresh Control |
| pad\_a\_o[6] | reg\_asr | Разрешение автоматического самообновления из регистра SDRAM Refresh Control |
| pad\_a\_o[5] | 0x0 | Reserved |
| pad\_a\_o[4:3] | reg\_cwl | Задержка записи в CAS из регистра SDRAM Config |
| pad\_a\_o[2:0] | reg\_pasr | Частичное самообновление массива из регистра SDRAM Refresh Control |

4. Выдает команду LOAD MODE REGISTER в регистр расширенного режима 3 (pad\_ba\_o[2:0] = 0x3) при этом pad\_a\_o[15:0] = 0x0.

5. Выдает команду LOAD MODE REGISTER в регистр расширенного режима 1 (pad\_ba\_o[2:0] = 0x1) с битами pad\_a\_o, установленными следующим образом:

|  |  |  |
| --- | --- | --- |
| **Bits** | **Value** | **Description** |
| pad\_a\_o[15:13] | 0x0 | Reserved |
| pad\_a\_o[12] | 0x0 | Выходной буфер включен |
| pad\_a\_o[11] | 0x0 | Отключение TDQS |
| pad\_a\_o[10] | 0x0 | Reserved |
| pad\_a\_o[9] | reg\_ddr\_term[2] | Значение оконечного резистора DDR3 из регистра SDRAM Config |
| pad\_a\_o[8] | 0x0 | Reserved |
| pad\_a\_o[7] | 0x0 | Выравнивание записи отключено |
| pad\_a\_o[6] | reg\_ddr\_term[1] | Значение оконечного резистора DDR3 из регистра SDRAM Config |
| pad\_a\_o[5] | reg\_sdram\_drive  [1] | Мощность привода SDRAM из регистра SDRAM Config |
| pad\_a\_o[4:3] | 0x0 | Аддитивная задержка = 0 |
| pad\_a\_o[2] | reg\_ddr\_term[0] | Значение оконечного резистора DDR3 из регистра SDRAM Config |
| pad\_a\_o[1] | reg\_sdram\_drive[0] | Мощность драйвера SDRAM из регистра SDRAM Config |
| pad\_a\_o[0] | 0x0 | reg\_ddr\_disable\_dll значение из регистра SDRAM Config |

6. Выдает команду LOAD MODE REGISTER в регистр режима (pad\_ba\_o[2:0] = 0x0), при этом биты биты pad\_a\_o установлены следующим образом:

|  |  |  |
| --- | --- | --- |
| **Bits** | **Value** | **Description** |
| pad\_a\_o[15:13] | 0x0 | Reserved |
| pad\_a\_o[12] | 0x0 | Быстрый выход из режима активного отключения питания |
| pad\_a\_o[11:9] | reg\_t\_wr | Восстановление записи для автоматической предварительной зарядки из регистра SDRAM Timing 1 |
| pad\_a\_o[8] | 0x1 | Сброс DLL |
| pad\_a\_o[7] | 0x0 | Нормальный режим |
| pad\_a\_o[6:4] | reg\_cl[3:1] | Задержка CAS из регистра SDRAM Config |
| pad\_a\_o[3] | 0x0 | Последовательная серия |
| pad\_a\_o[2] | reg\_cl[0] | Задержка CAS из регистра SDRAM Config |
| pad\_a\_o[1:0] | 0x0 | Длительность серии 8 |

7. Выдает команду ZQCL для запуска длительной калибровки ZQ.

8. Выдает команду AUTO REFRESH.

9. EMIF переходит в состояние покоя.

EMIF также выполняет последовательность инициализации при каждой записи в регистр SDRAM Config. В этом случае EMIF начинает с шага 3.

Команда LOAD MODE REGISTER может называться командой MODE REGISTER SET в

некоторых спецификациях DDR3. EMIF не выполняет никаких операций до тех пор, пока не завершится последовательность инициализации DDR3.

Значение reg\_refresh\_rate при сбросе равно значению порта config\_refresh\_def\_val. Когда EMIF выходит из сброса, время задержки в шаге 2, полученное в результате 16 интервалов частоты обновления + 8 циклов, составляет приблизительно 16 \*reg\_refresh\_rate / входная частота. Пользователь должен привязать к порту config\_refresh\_def\_val правильное значение чтобы удовлетворить типичное для устройств DDR3 время задержки 500 мс между подачей сигнала сброса и подачей сигнала и подачей сигнала CKE.

**7.3.3.6.3 Инициализация LPDDR1**

При выходе из режима сброса, если поле reg\_sdram\_type в регистре SDRAM Config равно 1 и бит reg\_initref\_dis в регистре SDRAM Refresh Control установлен в 0, EMIF выполняет следующую последовательность инициализации LPDDR1:

1. Передает pad\_cke\_o высокий уровень и начинает непрерывно выдавать команды NOP.

2. Через 16 интервалов частоты обновления SDRAM подается команда PRECHARGE, при этом pad\_a\_o[10] удерживается на высоком уровне чтобы указать все банки. Частота обновления SDRAM определяется в описании поля reg\_refresh\_rate

(см. описание регистра SDRAM Refresh Control).

3. После 2 команд AUTO REFRESH подается команда LOAD MODE REGISTER в регистре режима (pad\_ba\_o[2:0] = 0x0) с битами pad\_a\_o, установленными следующим образом:

|  |  |  |
| --- | --- | --- |
| **Bits** | **Value** | **Description** |
| pad\_a\_o[15:7] | 0x0 | Нормальная работа |
| pad\_a\_o[6:4] | reg\_cl[2:0] | Задержка CAS из регистра SDRAM Config |
| pad\_a\_o[3] | 0x0 | Тип последовательной серии |
| pad\_a\_o[2:0] | 0x3 | Длительность серии 8 |

4. Выдает команду LOAD MODE REGISTER в регистр расширенного режима (pad\_ba\_o[2:0] = 0x2) с битами pad\_a\_o, установленными следующим образом:

|  |  |  |
| --- | --- | --- |
| **Bits** | **Value** | **Description** |
| pad\_a\_o[15:7] | 0x0 | Reserved |
| pad\_a\_o[6:5] | reg\_sdram\_drive | Сила драйвера из регистра SDRAM Config |
| pad\_a\_o[4:3] | 0x0 | Самообновление с внутренней температурной компенсацией |
| pad\_a\_o[2:0] | reg\_pasr | Частичное самообновление массива из регистра SDRAM Refresh Control |

5. EMIF переходит в состояние покоя.

EMIF также выполняет последовательность инициализации при каждой записи в регистр SDRAM Config. В этом случае EMIF начинает работу с шага 3.

Команда LOAD MODE REGISTER может называться командой MODE REGISTER SET в некоторых спецификациях LPDDR1. EMIF не выполняет никаких операций до тех пор, пока не завершится последовательность инициализации LPDDR1.

Значение reg\_refresh\_rate при сбросе равно значению порта config\_refresh\_def\_val. Когда EMIF выходит из сброса, время задержки в шаге 2, полученное в результате 16 интервалов частоты обновления + 8 циклов, составляет приблизительно 16 \* reg\_refresh\_rate / входная частота. Пользователь должен привязать к порту config\_refresh\_def\_val правильное значение чтобы удовлетворить типичное для устройств LPDDR1 время задержки 200 мс между включением питания и применением команды PRECHARGE all.

**7.3.3.7 Выравнивание чтения-записи DDR3**

Контроллер памяти DDR2/3/mDDR поддерживает выравнивание чтения-записи в сочетании с DDR PHY. Контроллер памяти DDR2/3/mDDR поддерживает два типа выравнивания записи/чтения:

1. Полное выравнивание

2. Инкрементное выравнивание

*ПРИМЕЧАНИЕ: Чтобы узнать, какой тип выравнивания поддерживается, обратитесь к спецификации конкретного устройства.*

Каждый тип выравнивания состоит из трех частей:

1. Выравнивание по записи

2. Обучение строба DQS чтения

3. Обучение глазка данных при чтении

Выравнивание при чтении и записи поддерживается только для памяти DDR3.

Контроллер памяти DDR2/3/mDDR не выполняет полное выравнивание после инициализации при сбросе деассертации. Полное выравнивание должно быть вызвано программно после после правильной конфигурации регистров контроллера памяти DDR2/3/mDDR. Контроллер памяти DDR2/3/mDDR поддерживает запуск полного выравнивания через программное обеспечение посредством использования поля REG\_RDWRLVLFULL\_START в регистре Read-Write Leveling Control register(RWLCR). Поскольку полное выравнивание занимает значительное время и обновления не могут происходить когда DDR3 переведена в режим выравнивания, интервал обновления будет нарушен, и данные в DDR3 могут быть потеряны.Хотя это не является проблемой при включении питания, это может стать проблемой, если полное выравнивание будет запущено когда DDR3 функционирует.

Контроллер памяти поддерживает инкрементное выравнивание, чтобы лучше отслеживать изменения напряжения и температуры во время нормальной работы. Инкрементное выравнивание можно включить, записав ненулевое значение в REG\_WRLVLINC\_INT, REG\_RDLVLGATEINC\_INT и REG\_RDLVLINC\_INT в поле Read-Write Leveling Control register(RWLCR). Контроллер памяти периодически запускает инкрементное выравнивание записи каждый раз, когда истекает срок действия REG\_WRLVLINC\_INT. Другими словами, REG\_WRLVLINC\_INT определяет интервал между последовательными инкрементными выравниваниями записи.

Аналогично, контроллер памяти периодически запускает обучение строба DQS инкрементального чтения каждый раз, когда REG\_RDLVLGATEINC\_INT истекает, и запускает инкрементное обучение глазка данных чтения каждый раз, когда истекает REG\_RDLVLINC\_INT.

Чтобы минимизировать влияние на пропускную способность, программное обеспечение может запрограммировать эти интервалы так, чтобы все три не истекли одновременно. Значение запрограммированного интервала зависит от наклона напряжения и изменения температуры.

Контроллер памяти поддерживает автоматическое увеличение скорости инкрементального выравнивания в течение определенного периода времени. Этого можно добиться, запрограммировав окно Read-Write Leveling Ramp Window регистра(RDWR\_LVL\_RMP\_WIN) и Read-Write Leveling Ramp Control регистра (RDWR\_LVL\_RMP\_CTRL). При получении импульса контроллер памяти будет использовать интервалы, запрограммированные в регистре Read-Write Leveling Ramp Control, пока не будет достигнуто значение REG\_RDWRLVLINC\_RMP\_WIN в регистре Read-Write Leveling Ramp Window. По истечении REG\_RDWRLVLINC\_RMP\_WIN контроллер памяти переключается на использование интервалов запрограммированные в регистре Read-Write Leveling Control.

Чтобы гарантировать, что ни одно из событий инкрементального выравнивания не будет пропущено, REG\_RDWRLVLINC\_RMP\_WIN должно быть запрограммировано больше, чем интервалы в регистре Read-Write Leveling Ramp Control.

Если контроллер памяти находится в режимах Self-Refresh или Power-Down, когда любой из инкрементных интервалов выравнивания истекает , контроллер памяти выйдет из режима Self-Refresh или Power-Down, выполнит требуемое выравнивание, а затем снова войдет в режим Self-Refresh или Power-Down. Контроллер памяти также запускает инкрементное выравнивание при выходе из режима Self-Refresh.

**7.3.3.8 Последовательность работы PRCM для контроллера памяти DDR2/3/mDDR**

Тактовые импульсы контроллера памяти, сброс и питание обрабатываются модулем PRCM устройства. См. Глава «Управление тактовым генератором со сбросом по питанию» (PRCM) для получения подробной информации о регистре PRCM.

**7.3.3.9 Поддержка прерываний**

Контроллер DDR2/3/mDDR соответствует спецификации протокола Open Core Protocol Specification (OCP-IP 2.2). Контроллер поддерживает только типы команд Idle, Write, Read и WriteNonPost. Кроме того, контроллер поддерживаеттолько инкрементный, обертывающий и двумерный режимы адресации блоков. Контроллер поддерживает генерацию прерывания ошибки при получении неподдерживаемой команды или команды с неподдерживаемым режимом адресации.

**7.3.3.10 Поддержка событий EDMA**

Контроллер памяти DDR2/3/mDDR является ведомым периферийным устройством DMA и поэтому не генерирует события EDMA. Запросы на чтение и запись данных могут выполняться непосредственно ведущими устройствами, включая контроллер EDMA.

**7.3.3.11 Соображения эмуляции**

Контроллер памяти DDR2/3/mDDR остается полностью работоспособным во время остановок эмуляции, чтобы обеспечить эмуляции доступ к внешней памяти.

**7.3.3.12 Управление питанием**

В этом разделе определяются возможности и требования к управлению питанием.

**7.3.3.12.1 Режим остановки тактового генератора**

Контроллер памяти поддерживает режим остановки тактового генератора для LPDDR1/mDDR. Контроллер памяти автоматически останавливает подачу тактовых импульсов на память, после того как контроллер памяти простаивает в течение REG\_CS\_TIM количества тактов DDR и когда поле REG\_LP\_MODE установлено в 1. Поля REG\_LP\_MODE и REG\_CS\_TIM могут быть запрограммированы в регистре управления питанием (PRCM). Когда тактовая частота памяти остановлена, контроллер памяти обслуживает обращения к регистрам в обычном режиме. Если запрошен доступ к SDRAM или достигнут уровень Refresh Must в режиме остановки тактирования, контроллер памяти запустит тактирование. Теперь контроллер памяти может выдавать любые команды. Если режим энергосбережения изменяется путем изменения REG\_LP\_MODE с 1 на другое значение, контроллер памяти выйдет из режима остановки тактирования и перейдет в новый режим энергосбережения.

**7.3.3.12.2 Режим самообновления**

Контроллер памяти DDR2/3/mDDR поддерживает режим самообновления для снижения энергопотребления. Контроллер памяти автоматически переводит SDRAM в режим самообновления после того, как контроллер памяти простаивает в течение REG\_SR\_TIM количества тактов DDR и при поле REG\_LP\_MODE установленом в 2. Поля REG\_LP\_MODE и REG\_SR\_TIM могут быть запрограммированы в регистре управления питанием (PMCR). Контроллер памяти завершит все ожидающие обновления, прежде чем переведет SDRAM в режим самообновления. Поэтому по истечении REG\_SR\_TIM контроллер памяти начнет выдачу обновлений для завершения обновления ,а затем выдаст SDRAM команду SELF-REFRESH.

В режиме самообновления контроллер памяти автоматически останавливает подачу тактовых импульсов DDR\_CLK на SDRAM. Контроллер памяти поддерживает низкий уровень DDR\_CKE для поддержания состояния самообновления. Когда SDRAM находится в режиме самообновления, контроллер памяти обслуживает обращения к регистрам в обычном режиме. Если поле REG\_LP\_MODE установлено не равным 2, или доступ к SDRAM запрашивается, когда она находится в состоянии самообновления, и прошло T\_CKE + 1 такт с момента выдачи команды SELF-REFRESH, контроллер памяти выведет SDRAM из режима самообновления.Значение T\_CKE берется из регистра SDRAM Timing 2. Для DDR3 контроллер памяти также выйдет из режима самообновления, чтобы выполнить инкрементное выравнивание.

Последовательность выхода из режима самообновления для устройства LPDDR1::

- Включает тактирование.

- Подает высокий уровень на DDR\_CKE.

- Ожидает T\_XSNR + 1 такт. Значение T\_XSNR берется из регистра SDRAM Timing 2.

- Запускает цикл автообновления в следующем цикле.

- Переходит в состояние простоя и может отдавать любые команды.

Последовательность выхода из режима самообновления для устройства DDR2:

- Включает тактирование.

- Подаёт высокий уровень на DDR\_CKE.

- Ожидает T\_XSNR + 1 цикл. Значение T\_XSNR берется из регистра SDRAM Timing 2.

- Если бит REG\_DDR\_DISABLE\_DLL в регистре SDRAM Config равен 1, выдается команда LOAD MODE REGISTER в регистр расширенного режима 1 с битами pad\_a\_o, установленными следующим образом:

|  |  |  |
| --- | --- | --- |
| **Bits** | **Value** | **Description** |
| DDR\_A[15:13] | 0x0 | !reg\_ddr2\_ddqs |
| DDR\_A[12] | 0x0 | Выходной буфер включен |
| DDR\_A[11] | 0x0 | Отключение RDQS |
| DDR\_A[10] | !reg\_ddr2\_ddqs | Значение разрешения дифференциального DQS из регистра SDRAM Config |
| DDR\_A[9:7] | 0x0 | Выход из режима калибровки OCD |
| DDR\_A[6] | reg\_ddr\_term[1] | Значение оконечного резистора DDR2 из регистра SDRAM Config |
| DDR\_A[5:3] | 0x0 | Аддитивная задержка = 0 |
| DDR\_A[2] | reg\_ddr\_term[0] | Значение оконечного резистора DDR2 из регистра SDRAM Config |
| DDR\_A[1] | reg\_sdram\_drive | Мощность привода SDRAM из регистра SDRAM Config |
| DDR\_A[0] | 0x1 | Отключить DLL |

- Запускает цикл автообновления в следующем цикле.

- Переходит в состояние покоя и может выполнять любые другие команды, кроме записи или чтения. Запись или чтение будет выдана только после того, как пройдет T\_XSRD + 1 такт с момента подачи высокого уровня сигнала DDR\_CKE. Значение T\_XSRD берется из регистра SDRAM Timing 2.

Последовательность выхода из режима самообновления для устройства DDR3: Контроллер памяти:

- Включает тактирование.

- Подаёт высокий уровень на DDR\_CKE.

- Ожидает T\_XSNR + 1 такт. Значение T\_XSNR берется из регистра SDRAM Timing 2.

- Если бит REG\_DDR\_DISABLE\_DLL в регистре SDRAM Config равен 1, выдается команда LOAD MODE REGISTER в регистр расширенного режима 1 с битами pad\_a\_o, установленными следующим образом:

|  |  |  |
| --- | --- | --- |
| **Bits** | **Value** | **Description** |
| DDR\_A[15:13] | 0x0 | Reserved |
| DDR\_A[12] | 0x0 | Выходной буфер включен |
| DDR\_A[11] | 0x0 | Отключение TDQS |
| DDR\_A[10] | 0x0 | Reserved |
| DDR\_A[9] | reg\_ddr\_term[2] | Значение оконечного резистора DDR3 из регистра SDRAM Config |
| DDR\_A[8] | 0x0 | Reserved |
| DDR\_A[7] | 0x0 | Выравнивание записи отключено |
| DDR\_A[6] | reg\_ddr\_term[1] | Значение оконечного резистора DDR3 из регистра SDRAM Config |
| DDR\_A[5] | reg\_sdram\_drive[1] | Мощность драйвера SDRAM из регистра SDRAM Config |
| DDR\_A[4:3] | 0x0 | Аддитивная задержка = 0 |
| DDR\_A[2] | reg\_ddr\_term[0] | Значение оконечного резистора DDR3 из регистра SDRAM Config |
| DDR\_A[1] | reg\_sdram\_drive[0] | Мощность драйвера SDRAM из регистра SDRAM Config |
| DDR\_A[0] | 0x1 | Отключить DLL |

- Запускает цикл автообновления в следующем цикле.

- Выполняет однократное инкрементное выравнивание записи.

- Выполняет инкрементное обучение DQS при чтении.

- Выполняет инкрементное обучение чтения данных глаз.

- Переходит в состояние покоя и может выполнять любые другие команды, кроме записи или чтения. Запись или чтение будут выданы только после того, как пройдет T\_XSRD + 1 такт с момента подачи высокого уровня сигнала DDR\_CKE. Значение T\_XSRD берется из регистра SDRAM Timing 2.

**7.3.3.12.3 Режим отключения питания**

Контроллер памяти также поддерживает режим отключения питания для снижения энергопотребления. Контроллер памяти автоматически переводит SDRAM в режим пониженного энергопотребления после того, как контроллер памяти простаивает в течение REG\_PD\_TIM количества тактов DDR и при поле REG\_LP\_MODE установленом в 4. Поля REG\_LP\_MODE и REG\_PD\_TIM могут быть запрограммированы в регистре управления питанием (PMCR). Если Refresh Must уровень не достигнут до входа в режим отключения питания, контроллер памяти предварительно не зарядит все банки перед подачей команды POWER-DOWN. Это приведет к тому, что SDRAM перейдет в режим активного отключения питания.

Если уровень Refresh Must достигнут до перехода в режим пониженного энергопотребления, контроллер памяти предварительно заряжает все банки и выдает обновления до достижения уровня Refresh Release перед подачей команды POWER-DOWN. В результате SDRAM перейдет в режим пониженного энергопотребления с предварительной зарядкой.

В режиме отключения питания контроллер памяти не останавливает подачу тактовых импульсов DDR\_CLK на SDRAM. Контроллер памяти поддерживает низкий уровень DDR\_CKE, чтобы сохранить состояние пониженного питания.

Когда SDRAM находится в режиме отключения питания, контроллер памяти обслуживает обращения к регистрам в обычном режиме. Если поле поле REG\_LP\_MODE установлено не равным 4, или запрошен доступ к SDRAM, или достигнут уровень Refresh Must во время отключения питания SDRAM, контроллер памяти выведет SDRAM из состояния отключения питания.

Для DDR3 контроллер памяти также выйдет из режима питания, чтобы выполнить инкрементное выравнивание.

Последовательность выхода из режима пониженного питания для DDR2, DDR3 и LPDDR1:

- подает высокий уровень DDR\_CKE после того, как пройдет T\_CKE + 1 цикл с момента подачи команды POWER-DOWN. Значение T\_CKE берется из регистра SDRAM Timing 2.

- Ожидает T\_XP + 1 такт. Значение T\_XP берется из регистра SDRAM Timing 2.

- Переходит в состояние ожидания и может выдавать любые команды.

**7.3.3.12.4 Режим глубокого отключения питания**

Для максимального снижения энергопотребления контроллер памяти поддерживает режим глубокого отключения питания для LPDDR1. SDRAM может быть принудительно переведена в режим глубокого энергосбережения программно, установив поле reg\_dpd\_en в регистре Power Management Control в 1.В этом случае контроллер памяти будет продолжать нормальную работу до тех пор, пока все обращения к памяти SDRAM не закончатся. В этот момент контроллер памяти выдаст команду DEEP POWER-DOWN. После этого контроллер памяти удерживает на pad\_cke\_o низкий уровень для поддержания состояния глубокого отключения питания. В режиме глубокого отключения питания контроллер памяти автоматически останавливает подачу тактовых импульсов на SDRAM.

Установка поля REG\_DPD\_EN в 1 отменяет установку поля REG\_LP\_MODE. Поэтому, если SDRAM находится в режиме остановки тактов, самообновления или отключения питания, а поле REG\_DPD\_EN установлено в 1, контроллер памяти выйдет из этих режимов и перейдет в режим глубокого отключения питания.

Когда SDRAM находится в режиме глубокого отключения питания, контроллер памяти обслуживает обращения к регистрам в обычном режиме.

Если поле REG\_DPD\_EN установлено в 0 или запрошен доступ к SDRAM, контроллер памяти выведет SDRAM из глубокого разряда питания.

Последовательность выхода для LPDDR1: Контроллер памяти:

- Выполняет инициализацию SDRAM, как указано в разделе Инициализация памяти SDRAM LPDDR1(mDDR).

- Переходит в состояние покоя и может выдавать любые команды.

Поскольку контроллер памяти выполняет инициализацию при глубоком отключении питания, значение поле REG\_REFRESH\_RATE в регистре SDRAM Refresh Control должно быть установлено соответствующим образом, чтобы соответствовать требованию требованию ожидания 200 мкс для LPDDR1.

**7.3.3.12.5 Режим сохранения и восстановления**

Контроллер памяти DDR2/3/mDDR поддерживает механизм сохранения и восстановления для полного отключения питания контроллера памяти DDR2/3/mDDR. Чтобы перевести в выключенный режим, необходимо выполнить следующую последовательность операций :

Внешний мастер считывает следующие регистры памяти и сохраняет их значение во внешнем блоке памяти контроллера памяти DDR2/3/mDDR.

1. Регистр конфигурации SDRAM (SDRCR)

2. Регистр SDRAM Config 2

3. Регистр управления обновлением SDRAM (SDRRCR)

4. Теневой регистр управления обновлением SDRAM (SDRRCSR)

5. Регистр SDRAM Timing 1 (SDRTIM1)

6. Теневой регистр SDRAM Timing 1 (SDRTIM1SR)

7. Регистр тайминга 2 памяти SDRAM (SDRTIM2)

8. Теневой регистр SDRAM Timing 2 (SDRTIM2SR)

9. Регистр SDRAM Timing 3 (SDRTIM3)

10. Теневой регистр SDRAM Timing 3 (SDRTIM3SR)

11. Регистр управления питанием (PMCR)

12. Теневой регистр управления питанием (PMCSR)

13. Регистр конфигурации интерфейса (OCP\_CONFIG)

14. Регистр установки разрешения прерывания системного OCP (SOIESR)

15. Регистр управления 1 DDR PHY (DDRPHYCR)

16. Теневой регистр управления DDR PHY 1 (DDRPHYCSR)

- Контроллер памяти завершает все ожидающие транзакции и опустошает все свои FIFO.

- Контроллер памяти переводит SDRAM в режим самообновления.

- Контроллер памяти копирует все теневые регистры памяти в свои основные регистры. Предполагается, что теневой регистр всегда имеет то же значение, что и соответствующий ему основной регистр.

- Контроллер памяти ожидает обслуживания всех прерываний.

- Контроллер памяти подтверждает подачу внутреннего запроса на выключение питания.

- Подается сигнал сброса внутреннего модуля.

- Теперь можно отключить тактирование и питание контроллера памяти.

Для восстановления питания контроллера памяти выполняется следующая последовательность операций:

- Включаются питание и тактирование контроллера памяти.

- Сигнал сброса внутреннего модуля отменяется, указывая контроллеру памяти, что он пробуждается из выключенного режима.

- Контроллер памяти не выполняет инициализацию SDRAM и заставляет свою машину состояний находиться в режиме самообновления.

- Внешний мастер восстанавливает все указанные выше регистры памяти.

- Внешний мастер восстанавливает все указанные выше регистры памяти.

- Теперь система может выполнять доступ к внешней памяти.

**7.3.3.12.6 Регулировка тактовой частоты EMIF PHY**

Тактовый генератор DDR2/3/mDDR PHY может быть отключен для достижения экономии энергии. Для получения дополнительной информации см. регистр EMIF0/1 Clock Gate Control (EMIF\_CLK\_GATE).

**7.3.4 Примеры использования**

Подробные сведения о подключении данного устройства к устройствам mDDR/DDR2/DDR3 см. в спецификации конкретного устройства, в котором содержатся конкретные инструкции и рекомендации по маршрутизации для сопряжения с устройствами mDDR (LPDDR), DDR2,и DDR3.